

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-158429

(43)Date of publication of application : 25.06.1993

(51)Int.Cl.

G09G 3/18

H03K 17/06

H03K 17/687

(21)Application number : 03-323452

(71)Applicant : SANSEI DENSHI JAPAN KK

(22)Date of filing : 06.12.1991

(72)Inventor : KIN GINSHIYU

(54) INFORMATION TRANSMISSION CIRCUIT

(57)Abstract:

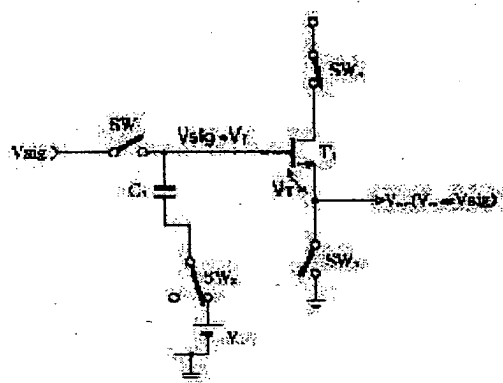
PURPOSE: To provide an information transmission circuit by which an input signal is transmitted exactly to an output signal and an LCD driver circuit which can be made into an IC.

CONSTITUTION: In the information transmission circuit for outputting a gate input signal V_{sig} as a source output signal through a MOS transistor $T1$, this circuit is provided with a level holding means for holding the gate input signal V_{sig} and boosting means for executing boosting corresponding to a voltage drop by the transistor $T1$ to the gate input signal held at the time of outputting the signal and also provided with a drive voltage input means for inputting each corresponding stepwise input voltage of an LCD driver voltage at a timing corresponding to the driver voltage, plural level holding means for holding the input voltage, plural boosting means for executing boosting corresponding to a voltage drop by the transistor $T1$ to the input voltage

held at the time of outputting the drive voltage in accordance with each level holding means and an input control means for inputting alternately outputs from pairs of plural level holding means and boosting means to the gate of the transistor $T1$.

LEGAL STATUS

[Date of request for examination]



[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] The signal transduction circuit characterized by having a level maintenance means to be the signal transduction circuit which outputs a gate input signal as a source output signal through an MOS transistor, and to hold a gate input signal, and a pressure-up means to perform pressure up which is equivalent to pressure lowering with said transistor at said held gate input signal at the time of a signal output.

[Claim 2] Two or more level maintenance means to be the signal transduction circuits which output a gate input signal as a source output signal through an MOS transistor, and to hold a gate input signal, Two or more pressure-up means to perform pressure up which is equivalent to said held gate input signal at pressure lowering with said transistor at the time of a signal output corresponding to each level maintenance means, Signal transduction circuit characterized by having an input-control means to input the output from the group of said two or more level maintenance means and pressure-up means into the gate of said transistor by turns.

[Claim 3] It is the LCD driver circuit which uses the signal transduction circuit which outputs a gate input signal as a source output signal through an MOS transistor. A drive volt input means to input the stair-like input voltage to which a LCD driver electrical potential difference is equivalent, respectively to the timing corresponding to a driver electrical potential difference, It corresponds to two or more level maintenance means to hold said input voltage, and, each level maintenance means. Two or more pressure-up means to perform pressure up equivalent to pressure lowering with said transistor to said held input voltage at the time of a drive voltage output, The LCD driver circuit characterized by having an input-control means to input the output from the group of said two or more level maintenance means and pressure-up means into the gate of said transistor by turns.

[Claim 4] The LCD driver circuit according to claim 3 characterized by having further an initialization means to initialize said MOS transistor.

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the signal transduction circuit which outputs a gate input signal as a source output signal using an MOS transistor.

[0002]

[Description of the Prior Art] It is constituted like drawing 5 and the conventional signal transduction circuit is the input signal electrical potential difference V_{sig} . It receives and is the output signal electrical potential difference V_{out} . It is set to $(V_{sig} - V_T)$. Here, it is V_T . It is the gate threshold electrical potential difference of a transistor. Therefore, in the conventional signal transduction circuit, it is V_T between input voltage and output voltage. A voltage drop occurs. For this reason, input signal electrical potential difference V_{sig} Change is not transmitted to an output signal at accuracy, for example, it is the output signal electrical potential difference V_{out} . A part for the depression of about [not going up to supply voltage] and the input signal electrical potential difference V_{sig} will be cut.

[0003]

[Problem(s) to be Solved by the Invention] This invention removes said conventional fault and offers the signal transduction circuit where an input signal is transmitted to an output signal at accuracy. Moreover, the LCD driver circuit in which IC-izing which applies this signal transduction circuit is possible is offered.

[0004]

[Means for Solving the Problem] In order to solve this technical problem, the signal transduction circuit of this invention is a signal transduction circuit which outputs a gate input signal as a source output signal through an MOS transistor, and is equipped with a level maintenance means to hold a gate input signal, and a pressure-up means to perform pressure up which is equivalent to pressure lowering with said

transistor at said held gate input signal at the time of a signal output.

[0005] Moreover, two or more level maintenance means to be the signal transduction circuits which output a gate input signal as a source output signal through an MOS transistor, and to hold a gate input signal. Two or more pressure-up means to perform pressure up which is equivalent to said held gate input signal at pressure lowering with said transistor at the time of a signal output corresponding to each level maintenance means. It has an input-control means to input the output from the group of said two or more level maintenance means and pressure-up means into the gate of said transistor by turns.

[0006] The LCD driver circuit of this invention is a LCD driver circuit which uses the signal transduction circuit which outputs a gate input signal as a source output signal through an MOS transistor. A drive volt input means to input the stair-like input voltage to which a LCD driver electrical potential difference is equivalent, respectively to the timing corresponding to a driver electrical potential difference. It corresponds to two or more level maintenance means to hold said input voltage, and each level maintenance means. Said held input voltage is equipped with an input-control means to input into the gate of said transistor by turns the output from the group of two or more pressure-up means to perform pressure up equivalent to pressure lowering with said transistor, and said two or more level maintenance means and pressure-up means, at the time of a drive voltage output. Furthermore, [0007] [equipped with an initialization means to initialize said MOS transistor]

[Example] Drawing 1 A and drawing 1 B are drawings showing the fundamental configuration and actuation of this example of a signal transduction circuit. Here, at the time of the standby whose drawing 1 A holds an input signal, it is drawing 1 A at the signal output time which outputs a signal, and it calls it the time of actuation below at the time of standby. T1 The MOS transistor for signal transduction, and C1 The capacitor and V1 which hold an input signal The constant voltage power supply and SW1 -SW4 which supply the electrical potential difference (VT) which compensates the drop electrical potential difference between the gate sources It is the switch used in order to operate this circuit. Here, a constant voltage power supply V1 is realizable with a cell, a capacitor, a transistor, or diode. Moreover, switch SW1 -SW4 An MOS switching circuit is desirable.

[0008] At the time of standby (drawing 1 A), it is a switch SW1. At **, SW3 is SW4. ** and SW2 are connected to the earth side. It is the input signal electrical potential difference Vsig here. Close is a capacitor C1, when it comes. It charges and input voltage is held. At the time of actuation (drawing 1 B), it is a switch SW1. SW3 ** and SW4 ** and SW2 Constant voltage power supply V1 It connects. capacitor C1 Held input signal electrical potential difference Vsig Electrical potential difference VT of a constant voltage power supply V1 only -- pressure up is carried out and an electrical potential difference (Vsig+VT) is inputted into the gate of an MOS transistor. therefore, output signal Vout **** -- electrical-potential-difference (Vsig+VT)-VT =Vsig it outputs -- having -- input signal electrical potential difference Vsig It is outputted on an electrical potential difference as it is.

[0009] By the way, in the above-mentioned basic circuit, since the time of standby and actuation is repeated by turns, an output signal cannot be used at the time of standby. Depending on the activity part of this circuit, a firm output signal may be required. Drawing 2 is drawing showing the example of circuitry for replying to this need. Although detailed circuit connection is not shown, in drawing 2, parallel connection of the circuit part 10 containing the hold and pressure up enclosed with the broken line of drawing 1 is carried out to 10a and 10b. In this circuit, the circuit parts 10a and 10b repeat the above-mentioned standby and actuation by turns, and connect the circuit at the time of actuation to the gate of MOS transistor T1 by turns by SW5 or SW6. carrying out like this -- output signal Vout **** -- regular Vsig It will be outputted.

[0010] Drawing 3 is drawing showing the example which applied the signal transduction circuit of this example to the LCD driver circuit. Here, the component to which each reference designator shown in above-mentioned drawing 1 and drawing 2 corresponds is given, and the same function is achieved. Moreover, the constant voltage power supply V1 shown by the cell is substituted for the transistor by above-mentioned drawing 1 at drawing 3. Drawing 4 is a timing chart which shows the wave of each signal in the LCD driver circuit of drawing 3. In addition, the timing chart of drawing 4 R> 4 shows the outline, and fine timing is not taken into consideration. For example, as for control signals M (/M) and L (/L), not the same timing but some delay is altogether needed for a circuit operating actually. A signal/M, and /L show the reversal signal of Signals M and L.

[0011] An input signal I is a stair-like input signal of each level which drives LCD. At drawing 4, it is level V0 -V4 Although it was made five steps, it is not limited to this. An input signal N is a timing signal of whether to choose the level of an input signal I throat. At drawing 4, it is V1 ->V2 ->V4 ->V3. Signs that it is chosen in order are shown. A control signal M (/M) is a signal for operating two signal transduction circuits of this example by turns, and a control signal L (/L) is a signal for initialization of an

MOS transistor or an output signal O. Here, when a control signal L is a high actually, both the control signal M and /M need to be lows, but since it is simple here, it is not taken into consideration.

[0012] An output signal O is outputted by delay of 1 cycle like drawing 4 by such input signals I and N and control signals M (/M) and L (/L). this time -- an input -- each -- level V0 -V4 It is outputted to an output O on the same level at accuracy. Since a control circuit can be simplified few in a control signal as compared with selection of the drive level by the conventional multiplexer etc. according to the LCD driver circuit of drawing 3 ; it becomes possible to accumulate this on 1 chip.

[0013] In addition, although this example showed the example which applied the signal transduction circuit to the LCD driver circuit, it does not pass over this to an example, but this invention is applied to all the circuits where it is required for signal level to get across to accuracy.

[0014]

[Effect of the Invention] By this invention, the signal transduction circuit where an input signal is transmitted to an output signal at accuracy can be offered. Moreover, the LCD driver circuit in which IC-izing which applies this signal transduction circuit is possible can be offered.

[Brief Description of the Drawings]

[Drawing 1 A]

[Drawing 1 B] It is drawing showing the fundamental circuitry of the signal transduction circuit of this example, and actuation.

[Drawing 2] It is drawing showing other suitable circuitry of this example.

[Drawing 3] It is drawing showing the example of application to the LCD driver circuit of this example.

[Drawing 4] It is the timing chart which shows the outline of the timing of each signal of the LCD driver circuit of drawing 3 .

[Drawing 5] It is drawing showing the circuitry of the conventional signal transduction circuit.

[Description of Notations]

T1 -- MOS transistor and C1 -- capacitor and V1 -- A constant voltage power supply and SW1 -SW6 -- A switch, 10, 10a, 10b -- A hold and the booster circuit section

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-158429

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G 0 9 G 3/18

7926-5G

H 0 3 K 17/06

C 9184-5J

17/687

8221-5J

H 0 3 K 17/ 687

F

審査請求 未請求 請求項の数4(全 6 頁)

(21)出願番号

特願平3-323452

(22)出願日

平成3年(1991)12月6日

(71)出願人 591021763

三星電子ジャパン株式会社

東京都千代田区神田須田町2-3

(72)発明者 金 銀 洙

東京都千代田区神田須田町2-3 三星電子ジャパン株式会社内

(74)代理人 弁理士 大塚 康德 (外1名)

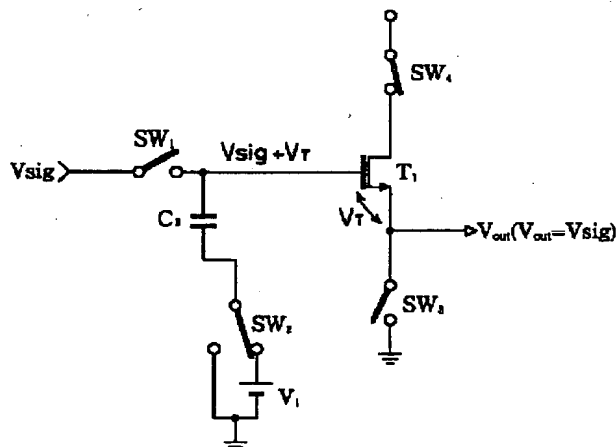
(54)【発明の名称】 情報伝達回路

(57)【要約】 (修正有)

【目的】 出力信号に入力信号が正確に伝達される情報伝達回路及びIC化が可能なLCDドライバ回路を提供する。

【構成】 MOSトランジスタ T_1 を介してゲート入力信号 V_{sig} をソース出力信号として出力する情報伝達回路であって、ゲート入力信号 V_{sig} をホールドするレベル保持手段と、信号出力時にホールドされたゲート入力信号に、トランジスタでの降圧に相当する昇圧を行う昇圧手段とを備え、LCDドライバ電圧のそれぞれ対応する階段状の入力電圧をドライバ電圧に対応するタイミングで入力するドライバ電圧入力手段と、入力電圧をホールドする複数のレベル保持手段と、各レベル保持手段に対応して、ドライバ電圧出力時にホールドされた入力電圧に、トランジスタでの降圧に相当する昇圧を行う複数の昇圧手段と、複数のレベル保持手段と昇圧手段との組からの出力を交互にトランジスタのゲートに入力する入力制御手段とを備える。

第 1B 図



【特許請求の範囲】

【請求項1】 MOSトランジスタを介してゲート入力信号をソース出力信号として出力する情報伝達回路であって、

ゲート入力信号をホールドするレベル保持手段と、信号出力時に前記ホールドされたゲート入力信号に、前記トランジスタでの降圧に相当する昇圧を行う昇圧手段とを備えることを特徴とする情報伝達回路。

【請求項2】 MOSトランジスタを介してゲート入力信号をソース出力信号として出力する情報伝達回路であって、

ゲート入力信号をホールドする複数のレベル保持手段と、各レベル保持手段に対応して、信号出力時に前記ホールドされたゲート入力信号に、前記トランジスタでの降圧に相当する昇圧を行う複数の昇圧手段と、前記複数のレベル保持手段と昇圧手段との組からの出力を交互に前記トランジスタのゲートに入力する入力制御手段とを備えることを特徴とする情報伝達回路。

【請求項3】 MOSトランジスタを介してゲート入力信号をソース出力信号として出力する情報伝達回路を使用するLCDドライバ回路であって、

LCDドライバ電圧のそれぞれに対応する階段状の入力電圧をドライバ電圧に対応するタイミングで入力するドライブ電圧入力手段と、

前記入力電圧をホールドする複数のレベル保持手段と、各レベル保持手段に対応して、ドライブ電圧出力時に前記ホールドされた入力電圧に、前記トランジスタでの降圧に相当する昇圧を行う複数の昇圧手段と、前記複数のレベル保持手段と昇圧手段との組からの出力を交互に前記トランジスタのゲートに入力する入力制御手段とを備えることを特徴とするLCDドライバ回路。

【請求項4】 前記MOSトランジスタを初期化する初期化手段を更に備えることを特徴とする請求項3記載のLCDドライバ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MOSトランジスタを使用してゲート入力信号をソース出力信号として出力する情報伝達回路に関するものである。

【0002】

【従来の技術】 従来の情報伝達回路は図5のように構成され、入力信号電圧 V_{sig} に対して出力信号電圧 V_{out} は $(V_{sig} - V_T)$ となる。ここで、 V_T はトランジスタのゲートしきい値電圧である。従って、従来の情報伝達回路では、入力電圧と出力電圧との間には V_T の電圧降下が発生する。このため、入力信号電圧 V_{sig} の変化が出力信号に正確に伝達されず、例えば出力信号電圧 V_{out} が電源電圧まで上がらないばかりか、入力信号電圧 V_{sig} の低圧部分がカットされてしまう。

【0003】

【発明が解決しようとしている課題】 本発明は、前記従来の欠点を除去し、出力信号に入力信号が正確に伝達される情報伝達回路を提供する。又、この情報伝達回路を適用するIC化が可能なLCDドライバ回路を提供する。

【0004】

【課題を解決するための手段】 この課題を解決するため、本発明の情報伝達回路は、MOSトランジスタを介してゲート入力信号をソース出力信号として出力する情報伝達回路であって、ゲート入力信号をホールドするレベル保持手段と、信号出力時に前記ホールドされたゲート入力信号に、前記トランジスタでの降圧に相当する昇圧を行う昇圧手段とを備える。

【0005】 又、MOSトランジスタを介してゲート入力信号をソース出力信号として出力する情報伝達回路であって、ゲート入力信号をホールドする複数のレベル保持手段と、各レベル保持手段に対応して、信号出力時に前記ホールドされたゲート入力信号に、前記トランジスタでの降圧に相当する昇圧を行う複数の昇圧手段と、前記複数のレベル保持手段と昇圧手段との組からの出力を交互に前記トランジスタのゲートに入力する入力制御手段とを備える。

【0006】 本発明のLCDドライバ回路は、MOSトランジスタを介してゲート入力信号をソース出力信号として出力する情報伝達回路を使用するLCDドライバ回路であって、LCDドライバ電圧のそれぞれに対応する階段状の入力電圧をドライバ電圧に対応するタイミングで入力するドライブ電圧入力手段と、前記入力電圧をホールドする複数のレベル保持手段と、各レベル保持手段に対応して、ドライブ電圧出力時に前記ホールドされた入力電圧に、前記トランジスタでの降圧に相当する昇圧を行う複数の昇圧手段と、前記複数のレベル保持手段と昇圧手段との組からの出力を交互に前記トランジスタのゲートに入力する入力制御手段とを備える。更に、前記MOSトランジスタを初期化する初期化手段を備える

【0007】

【実施例】 図1A、図1Bは本実施例の情報伝達回路の基本的構成及び動作を示す図である。ここで、図1Aは入力信号をホールドする待機時、図1Aは信号を出力する信号出力時であり、以下待機時、動作時と言う。T₁ は信号伝達用のMOSトランジスタ、C₁ は入力信号をホールドするキャパシタ、V₁ はゲート・ソース間の降下電圧を補償する電圧(V_T) を供給する定電圧電源、SW₁ ~ SW₄ は本回路を動作させるために使用されるスイッチである。ここで、定電圧電源V₁ は電池、キャパシタ、トランジスタあるいはダイオードで実現できる。また、スイッチSW₁ ~ SW₄ はMOSスイッチ回路が好ましい。

【0008】 待機時(図1A)には、スイッチSW₁ と

SW₃が接で、SW₄は断、SW₂は接地側に接続される。ここに、入力信号電圧V_{sig}が入ってくると、キャパシタC₁を充電して入力電圧がホールドされる。動作時(図1B)には、スイッチSW₁とSW₃が断、SW₄が接、SW₂は定電圧電源V₁に接続される。キャパシタC₁にホールドされた入力信号電圧V_{sig}は、定電圧電源V₁の電圧V_Tだけ昇圧され、MOSトランジスタのゲートには電圧(V_{sig} + V_T)が入力される。したがって、出力信号V_{out}には電圧(V_{sig} + V_T) - V_T = V_{sig}が出力され、入力信号電圧V_{sig}がそのままの電圧で出力される。

【0009】ところで、上記基本回路では待機時と動作時とが交互に繰り返されるため、待機時には出力信号を使用出来ない。本回路の使用箇所によっては常時出力信号が必要な場合もある。図2は、この必要に答えるための回路構成例を示す図である。詳細な回路結線は示さないが、図1の破線で囲んだホールド及び昇圧を含む回路部分10が図2では10aと10bに並列接続されている。本回路においては、回路部分10aと10bとが交互に上記待機と動作を繰り返し、動作時の回路をSW₆あるいはSW₅で交互にMOSトランジスタT₁のゲートに接続する。こうすることにより、出力信号V_{out}には常時V_{sig}が出力されることになる。

【0010】図3は本実施例の情報伝達回路をLCDドライバ回路に応用した例を示す図である。ここで、上記図1及び図2に示した各参照記号が対応する素子に付してあり、同様の機能を果たす。又、上記図1では電池で示した定電圧電源V₁は、図3ではトランジスタで代用されている。図4は図3のLCDドライバ回路における各信号の波形を示すタイミングチャートである。尚、図4のタイミングチャートはその概略を示しており、細かなタイミングは考慮されていない。例えば、実際に回路が動作するには制御信号M(／M)及びL(／L)は全て同一のタイミングではなく、多少のディレイが必要となる。信号／M、／Lは信号M、Lの反転信号を示す。

【0011】入力信号IはLCDをドライブする各レベルの階段状の入力信号である。図4ではレベルをV₀～V₄の5段階にしたが、これには限定されない。入力信号Nは入力信号Iのどのレベルを選択するかのタイミング信号である。図4では、V₁→V₂→V₄→V₃の順

に選択される様子が示されている。制御信号M(／M)は2つの本例の情報伝達回路を交互に動作させるための信号であり、制御信号L(／L)はMOSトランジスタあるいは出力信号Oの初期化のための信号である。ここで、実際には制御信号Lがハイの時には制御信号M及び／Mは共にローである必要があるが、ここでは簡略のためそれは考慮されていない。

【0012】このような入力信号I及びNと、制御信号M(／M)及びL(／L)によって出力信号Oが図4のように1サイクルの遅延で出力される。このときに入力の各レベルV₀～V₄が同じレベルで正確に出力Oに出力される。図3のLCDドライバ回路によれば、従来のマルチプレクサ等によるドライブレベルの選択に比較して、制御信号を少なく且つ制御回路を簡略化できるため、これを1チップ上に集積することが可能になる。

【0013】尚、本実施例では情報伝達回路をLCDドライバ回路に適用した例を示したが、これは一例に過ぎず、本発明は信号レベルが正確に伝わる必要があるあらゆる回路に適用される。

【0014】

【発明の効果】本発明により、出力信号に入力信号が正確に伝達される情報伝達回路を提供できる。又、この情報伝達回路を適用するIC化が可能なLCDドライバ回路を提供できる。

【図面の簡単な説明】

【図1A】、

【図1B】本実施例の情報伝達回路の基本的回路構成及び動作を示す図である。

【図2】本実施例の他の好適な回路構成を示す図である。

【図3】本実施例のLCDドライバ回路への適用例を示す図である。

【図4】図3のLCDドライバ回路の各信号のタイミングの概略を示すタイミングチャートである。

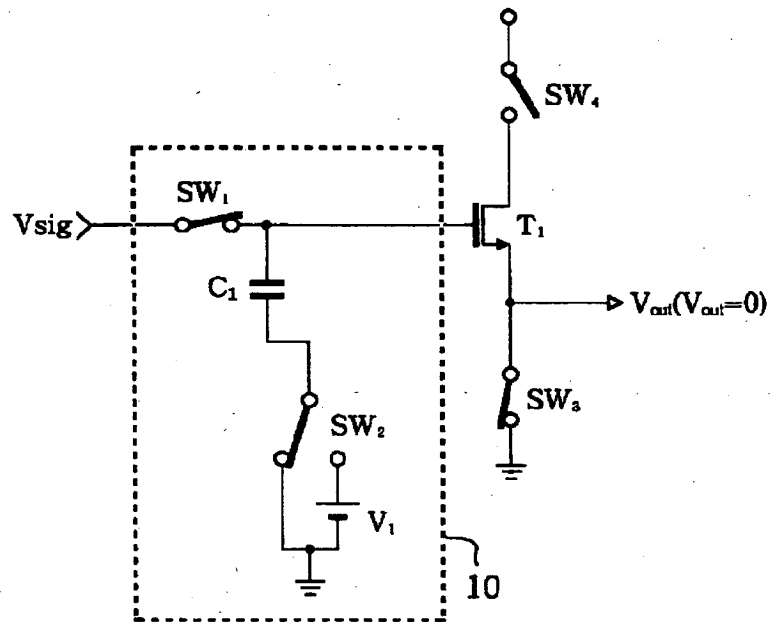
【図5】従来の情報伝達回路の回路構成を示す図である。

【符号の説明】

T₁…MOSトランジスタ、C₁…キャパシタ、V₁…定電圧電源、SW₁～SW₆…スイッチ、10、10a、10b…ホールド及び昇圧回路部

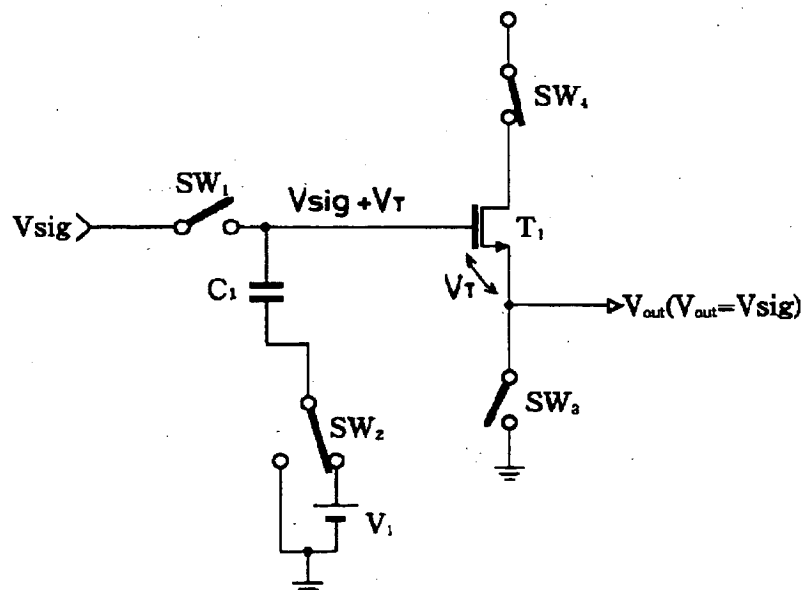
【図1A】

第 1A 図



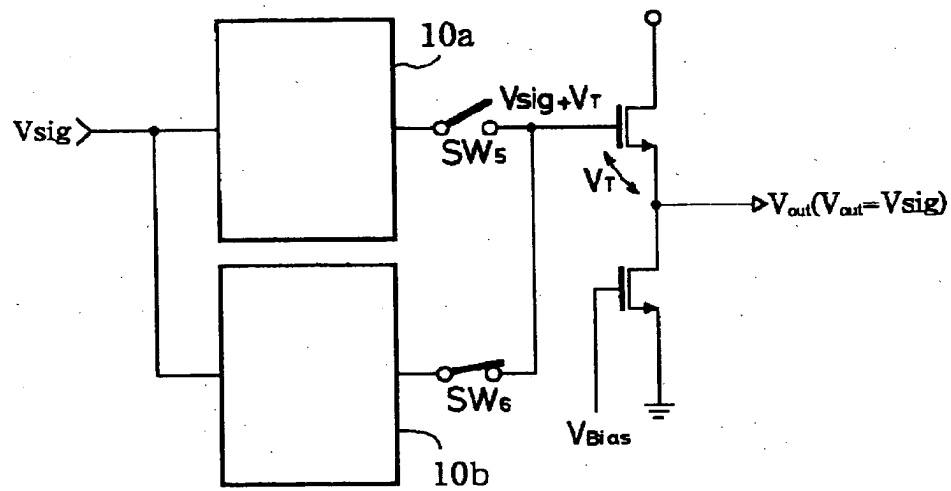
【図1B】

第 1B 図



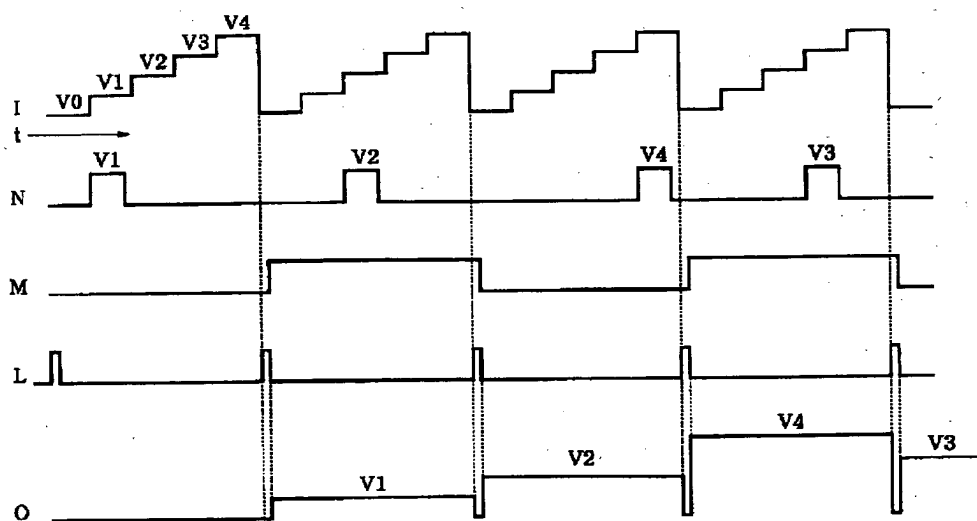
【図2】

第 2 図



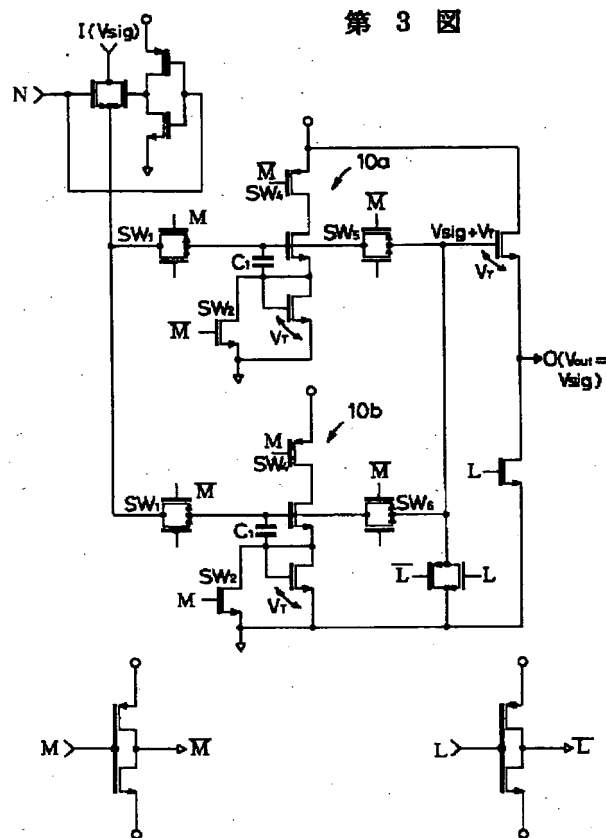
【図4】

第 4 図



【図3】

第 3 図



【図5】

第 5 図

